

257-532

AU 2503 48111

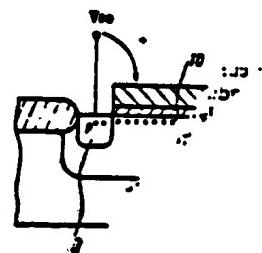
JP 356143959 A
NOV 1981

(54) CAPACITY ELEMENT

(11) 56-148859 (A) (43) 18.11.1981 (19) JP
(21) Appl. No. 55-52519 (22) 18.4.1980
(71) MITSUBISHI DENKI K.K. (72) TOORU KUWABARA
(51) Int. Cl. H01L27/04, H01L29/94

PURPOSE: To manufacture a capacity element having less irregularity due to the variation in the wafer process parameter without input voltage dependency by doping impurity in high density on the surface layer of a semiconductor region.

CONSTITUTION: In a silicon gate capacitor having a p⁺ type impurity region 2 surrounded by a field oxide film 4 on an n type impurity substrate 1, a gate oxide film 5 forming an insulating film and a polycrystalline silicon layer 6 forming an electrode, a region (p⁺ type region) 10 doped with a p type impurity having higher density than the region 2 is formed. The region 3 is connected to V_{ss} as the high potential side of a power source, the region 2 thus becomes V_{dd} of the potential, and a capacity is formed between the region 2 and a polycrystalline silicon layer 6 forming a signal line. Even if the applied voltage varies at this time, a depletion layer does not form by a p⁺ type region 10, thereby eliminating the voltage dependency of the capacity.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭56-148859

Int. Cl.³
H 01 L 27/04
29/94

識別記号
厅内整理番号
7210-5F
7357-5F

⑫ 公開 昭和56年(1981)11月18日
発明の数 1
査査請求 未請求

(全 3 頁)

⑬ 容量素子

⑭ 特 要 昭55-52519
⑮ 出 願 昭55(1980)4月18日
⑯ 発 明 者 桑原徹
伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内
⑰ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑱ 代 理 人 弁理士 萩野信一 外1名

明細書

発明の名称

容量素子

特許請求の範囲

(1) 一基電極の半導体結晶上に絶縁膜を介して島を形成し、上記半導体結晶と電極間にペイア電圧を印加するようにしたものにおいて、上記島下の上記半導体結晶の表面側に、上記半導体結晶と同一の電圧の不純物を他の部分より半導体ドーピングしたことを特徴とする容量素子。

(2) 半導体結晶は、この半導体結晶と反対側面の半導体結晶内に形成され、電極は多結晶シリコンから成ることを特徴とする特許請求の範囲と同様の容量素子。

発明の詳細を説明

この発明は、入力電圧依存性のない容量素子に関するものである。

現在、この種の容量素子の一つとして、第2種子すなわちシリコンゲートやバシタがあつた。において、(1)は日本不純物基板、(2)は多結晶シリ

子不純物基板(以下「基板」と称す)、(3)は高純度半導体基板(以下「「基板」と称す)、(4)はアーノルド焼成膜、則ば焼成膜を構成するデータ化膜、(5)は基板を構成する半導体シリコン等である。

「基板」は、電極の高電位側であるV_Hに接続されており、このため「基板」の電位はV_Hとなり、信号線を構成する多結晶シリコン等(6)との間に電位が形成される。

第1回の内蔵において、V_Hから信号線(6)にかけて電圧をかけていったときのV_H-C_H漏電流を測定したときのグラフをC_H(t)とし、第2回に示す今、このシリコンゲートやバシタを構成する電極トランジスタのワエハプロセスで形成したすれば、初期電圧V_Hは0から電極の高電位側まで一定で変化することになり、その状態を測定する。このグラフから明らかのように、V_H-C_H特性C_H(t)は、電極電圧の範囲内では少しずつ、の正斜で一定の性にあらつく。この実験を第3回において説明する。(1)はデータ化膜の以下に

はされた空き地である。この舟せは河の岸と同様である。

まことに、Vが充分に正極であるときは
 ゲート酸化膜(1)裏下には空乏層(3)は形成されず、
 V_{DD}-0.5V時C_{DD}はゲート酸化膜(1)を介して
 ともにC_{DD}=V_{DD}-0.5V/100となる。ただし、C_{DD}
 はゲート酸化膜(1)の面積、100はゲート酸化膜(1)の
 面積、100はゲート酸化膜(1)の厚さである。V
 の値が吸収層(4)にはいつくると、ゲート酸化膜(1)
 裏下のP+埋蔵層(5)には空乏層(3)がはじめ、その
 空乏層(3)の端は、Vが0.5Vに達せばつれて大き
 くなり、はって空乏層(3)の面積としては小さくな
 ってゆく。今、その空乏層(3)の面積をじ_{DD}とすれ
 ば、V_{DD}-0.5V時じ_{DD}は、C_{DD}とじ_{DD}が直列にな
 ることがなり、じ_{DD}= $\frac{C_{DD}}{C_{DD} + j_{DD}}$ となる。つまり、

じ。これが小さくなるにつれ、じ。じ。からしだいに
小さくなつてゆき、Yが(4)段階といつてデータ座
化技術以下で最も成績ができます。翌翌日(1)の伸び
が停止するまで減少する。その場所が成る時OA

八二〇〇

電気のシリコンゲートやイバッタは以上の二つに構成されていたので、以下の入力電位によって、その各属性が変動し、かつ、その性がゲート強化膜(G)のみによって決まらざいたら、外因の性に影響することが困難でもつた。

この発明は上記のようでは実現のものの欠点を除去するためになされたもので、実際に绝缘層を介して電極が配電を九九半端は細胞の表面せに、上記は細胞と同一の高可塑の不透明を有する導体より高密度ドープすることにより、入力・圧等性がなく、かつフェハブロセスペラーダの如きによるパラツキの少ない電子を提供することである。

以下、このモード一実現例を図について説明する。

黒い墨に書いて、00はP-1級改めてうれいの墨
萬物をドーピーされた結果(以下P-1級改と略す)
である。他の墨を改めて墨と併せてある。

三三九 次の二に取次されテヨ

一トライアベシタの電圧特性 C_{000} を示し、以下、第 2 図を用いて本発明の動作を説明する。V が充分に高くなるときは、第 2 図と同様、 $V_{DD} - 6$ 間電圧 $C_{000} = (S_{000} - 1) \cdot I_{L100}$ である。次に、V が電源端子にはいったとき、D₁ 電極の負荷電荷である D₁ 電流によって、第 2 図で見られたような空乏層の形成は開始されない。つまり、表面近傍では、第 1 図の場合に比べて多くのホールが存在するため、空乏層が形成されないからである。V が充分に高くなれば、D₁ 電極にあるホールの数とつり合う様になり、ホールは表面近傍から押しやられて、空乏層の形成が開始される。したがって、第 2 図の場合に適用したと同様に、ゲート酸化膜側の導体に、空乏層による寄生が直列に加わるため、 $V_{DD} - 6$ 間の平均が $\frac{C_{000} + C_{001}}{C_{000} + C_{001}}$ となつて

此少を四の四。ナラフヒタリカサケテナラフトバン
ドモエキナヨ。ナラフヒタリカサケテナラフトバン
ドモエキナヨ。ナラフヒタリカサケテナラフトバン

アビリティを駆使する事でできる。ここで
はシリコンゲート技術の下にゲートされた半導
体のドーピングである。

以上説明した様にこの電圧比によれば、半導体
絶縁層の電圧動作が電極の形状においては、
横はゲート絶縁層の厚さのみによって決る
かつ電圧特性等もないので、市販の電容器の
電子を構ることができる。

4. 異國の青年な観點

第1回は被覆のシリコンゲートチャバシタ電を示す断面図、第2回は被覆のシリコンゲートチャバシタの電圧特性を示すグラフ、第3回は被覆のシリコンゲートチャバシタのゲート電圧と電流を示す断面図、第4回は本発明によるシリコンゲートチャバシタの一例実例を示す断面図、第5回はその電圧特性と被覆のシリコンゲートチャバシタの電圧特性を比較して示すグラフである。

(1) 一回不純物導入、(2) 一回電離子導入
或、(3) ダート活性化。 (4) 一回電離子導入
或、(5) ドープされた半導不純物導入。

データをやバシタは以上のように
そので、行きの入力電位によつて、
おし、かつ、その位がデータ電位
であらうへでの、その位に応
じてあつた。

智力のような完璧のものが太鼓を打つ。されども力で、大筋では結婚をする。されども結婚は山城の改頭せん。この一のは通常盤の不同力を他の手でドープすることにより、入力→圧縮→カツクエハブ→セスパラマーティフキの少ない者は子供を授與する。

電線の一点用例を圖について説明

いて、00は「強制域より無い」を
された強制（以下「強制」と略す）
1号は誤工場と同様である。
16回のようにならされたシリコン

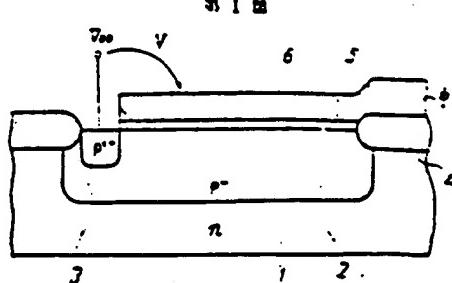
既に皆知ることになる。ここで、
メート(10)の下にドープされた不純物
をもつてある。
したがってこのモードによれば、半導
体動作が表面の効率においては、ひ
くことなく他のものよりよって来る。
47.62%なので、内部の動作率の8
%以上がドープ。

卷之四

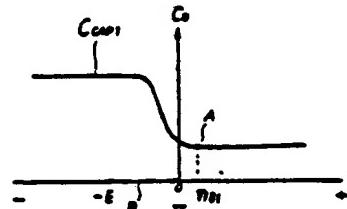
定電のシリコンゲートチャバシタの
電圧、第2回は定電のシリコンゲ-
トの電圧特性を示すグラフ、第3回は
シリコンゲートチャバシタのゲート電圧
と断面図、第4回は本発明によるシリ
コンバシタのチップ構造を示す断面図、
の電圧特性と定電のシリコンゲートの
電圧特性を比較して示すグラフであ
り不純物導電性、(3)一空洞膜では不純
物導電性、(4)一多結晶シリコン
アモルファスシリコン不純物等。

25. 次の二行は同一文書の部分を示す。

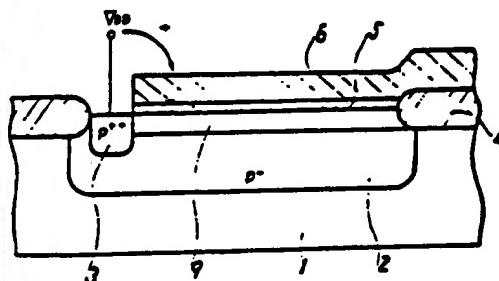
代序人 王野堂一



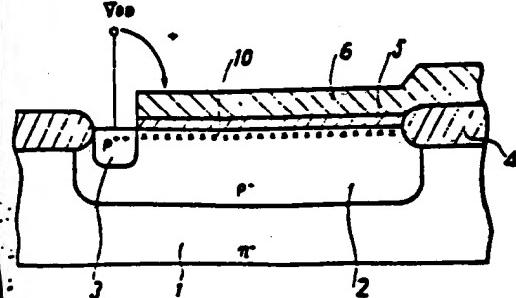
三



3



54



三三

